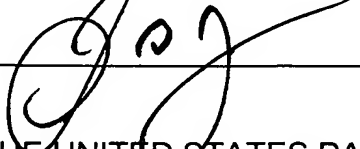


\$

Docket No.: MUH-12894

I hereby certify that this correspondence is being deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, Alexandria, VA 22313 20231.

By:  Date: January 23, 2004

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applic. No. : 10/724,906
Applicant : Manfred Pröll, et al.
Filed : December 1, 2003

Docket No. : MUH-12894
Customer No.: 24131

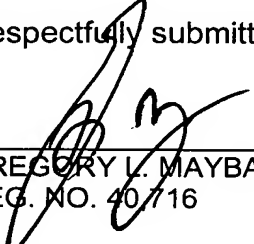
CLAIM FOR PRIORITY

Mail Stop: Missing Parts
Hon. Commissioner for Patents,
Alexandria, VA 22313-1450
Sir:

Claim is hereby made for a right of priority under Title 35, U.S. Code, Section 119, based upon the German Patent Application 102 55 867.1 filed November 29, 2002.

A certified copy of the above-mentioned foreign patent application is being submitted herewith.

Respectfully submitted,



GREGORY L. MAYBACK
REG. NO. 40,716

Date: January 23, 2004

Lerner and Greenberg, P.A.
Post Office Box 2480
Hollywood, FL 33022-2480
Tel: (954) 925-1100
Fax: (954) 925-1101

GLM/av

BUNDESREPUBLIK DEUTSCHLAND



Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen: 102 55 867.1

Anmeldetag: 29. November 2002

Anmelder/Inhaber: Infineon Technologies AG, München/DE

Bezeichnung: Dynamischer RAM-Halbleiterspeicher und
Verfahren zum Betrieb desselben

IPC: G 11 C 11/4091

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 18. November 2003
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag

A handwritten signature in black ink, appearing to be 'L' followed by a flourish.

Stark

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

MÜLLER • HOFFMANN & PARTNER – PATENTANWÄLTE

European Patent Attorneys – European Trademark Attorneys

Innere Wiener Strasse 17
D-81667 München

Anwaltsakte:	12363	Ko/Ant/mk
Anmelderzeichen:	2002P14122 DE (2002 E 14117 DE)	29.11.2002

Infineon Technologies AG

St.-Martin-Straße 53
81669 München

**Dynamischer RAM-Halbleiterspeicher und
Verfahren zum Betrieb desselben**

Beschreibung

Dynamischer RAM-Halbleiterspeicher und Verfahren zum Betrieb desselben

5

Die Erfindung betrifft einen dynamischen RAM-Halbleiterspeicher mit Shared-SA-Organisationskonzept, bei dem die Zellenfelder in Blöcke unterteilt sind, deren Bitleitungen paarweise von jeweils zwei benachbarten Blöcken an einen gemeinsamen Senseverstärker angeschlossen und die Senseverstärker zwischen den Zellenblöcken angeordnet sind, und ein Verfahren zum Betrieb desselben.

10

15

In dynamischen DRAM-Halbleiterspeicherbausteinen werden zur Bewertung der Signale auf den Bitleitungen so genannte Senseverstärker eingesetzt.

20

Die beiliegende Fig. 1A zeigt schematisch ein so genanntes Shared-SA-Organisationskonzept eines dynamischen RAM-Halbleiterspeichers, bei dem die Zellenfelder in Blöcke 1, 2 unterteilt sind. Jeder Zellenblock 1, 2 umfasst zum Beispiel 4 Megabit Speicherzellen. Die Organisationsform des in Fig. 1A dargestellten dynamischen RAM-Halbleiterspeichers wird als "Shared-SA-Organisationskonzept" bezeichnet, da bei diesem, wie gezeigt, die Senseverstärker SA zur Bewertung der Bitleitungssignale von einem linken und rechten Block 1, 2 jeweils links und rechts an ein ein komplementäres Signal führendes Bitleitungspaar BLT, BLC angeschlossen sind. Durch dieses Shared-SA-Organisationskonzept entsteht in SA Streifen jeweils zwischen den Zellenblöcken ein flächenoptimiertes Senseverstärkermuster, in dem die Senseverstärker SA die halbe Wiederholrate gegenüber den Bitleitungspaaren haben.

25

30

35

Fig. 1A zeigt dass die Bitleitungspaare BLT, BLC in Zeilen- oder X-Richtung und Wortleitungen WL in Spalten- oder Y-Richtung verlaufen. Ebenfalls in Spaltenrichtung sind Bitlei-

tungsladungsausgleichssignalleitungen BL-EQL1, BL-EQL2 im SA-Streifen angeordnet. Eine Ladungsausgleichs- bzw. Equalize-Einheit 5, wie sie in Fig. 1B detailliert dargestellt ist, befindet sich für jedes Bitleitungspaar rechts und links des Senseverstärkers SA und besteht im Wesentlichen aus einem N-Kanal-Transistor 3, der die beiden Hälften BLT, BLC eines Bitleitungspaares in einer Ladungsausgleichs- bzw. Equalizephase kurzschließt, um die Ladung der beiden während der aktiven Phase gespreizten Bitleitungshälften (BLT, BLC) so zu verteilen, dass jede Bitleitungshälfte auf dem gleichen Mittenpegel VBleq liegt. Um dies zu unterstützen, wird den auf diese Weise während der Ladungsausgleichsphase kurzgeschlossenen Bitleitungshälften BLT, BLC durch einen zweiten in der Ladungsausgleichseinheit 5 vorgesehenen Transistor 4 ein Spannungspotential VBleq mit diesem Mittenpegel zugeführt. Dieser zweite Transistor 4 verbindet somit die Ladungsausgleichseinheit 5 mit einem den Mittenpegel VBleq liefernden Generator.

Durch das Kurzschließen der Bitleitungshälften und den damit verbundenen Ladungsausgleich der Bitleitungskapazitäten über den endlichen Widerstand des Kurzschlusstransistors 3 der Ladungsausgleichseinheit 5 dauert es eine gewisse Zeit, bis auf den Bitleitungshälften der gewünschte Mittenpegel VBleq erreicht ist. Dies ist die so genannte Prechargezeit, die die Zeitdauer angibt, nach der frühestens ein erneutes, den gleichen Block betreffendes Wortleitungsaktivierungskommando, das sich auf die gleiche Bitleitung auswirkt, an den Speicherbaustein gegeben werden darf.

Ist nun eine Wortleitung WL im Bereich eines Blocks, zum Beispiel Block 1 aktiviert, so befindet sich der Nachbarbereich, zum Beispiel Block 2 und ebenfalls der Block links vom Block 1 definiert im Prechargezustand. Das heißt dass die Bitleitungspaare dieser Blöcke bereits kurzgeschlossen worden sind. Der Kurzschluss der Bitleitungshälften bleibt in der

den momentanen Block 1 betreffenden Ladungsausgleichsphase aktiv bestehen. Wird nun die Wortleitung WL abgeschaltet und die Bitleitungen im Block 1 beginnen durch Kurzschließen der Bitleitungspaare mit dem Ladungsausgleich, kann eine erneute Wortleitungsaktivierung nur im Block 1 zu einer kritischen Prechargezeit führen, da dort die Bitleitungen BLT, BLC noch mit dem Ladungsausgleich beschäftigt sind.

Die beiliegende Fig. 3A zeigt ein schematisches Signalzeitdiagramm, anhand dessen die obigen Verhältnisse noch verdeutlicht werden. Es sei bemerkt, dass der in Fig. 3A dargestellte Ablauf für jedes beliebige Bitleitungspaar in jedem Zellenblock gleich ist. Ausgangspunkt in Fig. 3A ist eine erste Ladungsausgleichsphase, abgekürzt BL-EQL-Phase, zu deren Ende das Bitleitungspaar die gewünschte Mittenspannung $V_{Bleq} = V_{BLH}/2$ hat. Danach folgt eine Aktivierung durch eine Spannung an der Wortleitung WL. Während dieser aktiven Phase werden die Potentiale auf den Hälften BLT und BLC des Bitleitungspaares gespreizt, damit eine in den Speicherzellen, mit denen das Bitleitungspaar verbunden ist, gespeicherte Information gelesen bzw. eine Information in diese Speicherzellen geschrieben werden kann. Selbstverständlich ist während der aktiven Phase die in Fig. 1B gezeigte Ladungsausgleichseinheit 5 deaktiviert; es herrscht kein Kurzschluss zwischen den Hälften BLT und BLC des Bitleitungspaares. Der aktiven Phase folgt eine zweite Ladungsausgleichsphase kurz zweite BL-EQL-Phase. Der in dem Kreis in Fig. 3A dargestellte Verlauf der Spannung und damit der Ladungen auf den Bitleitungshälften BLT und BLC in der zu Beginn der zweiten Bitleitungsladungsausgleichsphase stattfindenden Prechargephase, das heißt während BLT und BLC durch die Ladungsausgleichseinheit 5 kurzgeschlossen sind, zeigt deutlich den Verlauf, der durch die unvermeidlichen Bitleitungskapazitäten hervorgerufen wird. Würde zu dieser Zeit, wo die Bitleitungshälften BLT und BLC noch nicht definiert den gleichen Mittenpegel V_{Bleq} angenommen haben, eine erneute Aktivierung der Wortleitung statt-

finden, würde mit hoher Wahrscheinlichkeit eine zu lesende bzw. rückzuschreibende Information verfälscht werden.

5 Es ist hier zu erwähnen, dass der in Fig. 3A gestrichelt eingezeichnete Spannungsverlauf zu Beginn der zweiten BL-EQL-Phase nicht zum Stand der Technik gehört sondern statt dessen einen Zustand gemäß dieser Erfindung darstellt.

10 Nach dem oben Gesagten ist es Aufgabe der Erfindung, einen dynamischen RAM-Halbleiterspeicher mit Shared-SA-Organisationskonzept sowie ein Verfahren zum Betrieb desselben so anzugeben, dass die Prechargezeit verkürzt und damit das oben beschriebene Problem zu Beginn der Ladungsausgleichsphase der Bitleitungen vermieden werden kann.

15 Diese Aufgabe wird anspruchsgemäß gelöst.

Gemäß einem ersten Aspekt der Erfindung zeichnet sich ein dynamischer RAM-Halbleiterspeicher mit Shared-SA-Organisationskonzept dadurch aus, dass Bitleitungsschalter in zwischen den Blöcken liegenden Senseverstärkerstreifen zwischen je zwei benachbarten Senseverstärkern angeordnet sind, um die mit den Senseverstärkern nicht verbundenen anderen Enden zweier Bitleitungspaare von den benachbarten Zellenblöcken
25 kurzzeitig während der am Anfang einer Ladungsausgleichsphase stattfindenden Prechargephase eines unmittelbar zuvor aktivierten Bitleitungspaars zu verbinden.

Gemäß einem zweiten wesentlichen Aspekt ist ein Verfahren zum
30 Betrieb eines derartigen dynamischen RAM-Halbleiterspeichers mit Shared-SA-Organisationskonzept dadurch gekennzeichnet, dass die zuvor offenen anderen Enden derjenigen Bitleitungspaare, die an die in zwei benachbarten Senseverstärkerstreifen liegenden Senseverstärker angeschlossen sind, kurz-
35 zeitig während einer am Anfang einer Ladungsausgleichsphase stattfindenden Prechargephase für das betreffende Bitlei-

tungspaar zusammengeschaltet werden und dadurch die Prechargezeit für das betreffende Bitleitungspaar verkürzt wird.

Somit wird durch eine Verbindung der bislang offenen Bitleitungs-
5 tungsenden durch ein elektrisches Schalterpaar das jeweils
zwischen zwei benachbarten Senseverstärkern in dem Senseverstärkerstreifen angeordnet ist, eine Möglichkeit geschaffen, die bereits stabil auf dem Mittenpegel liegende Nachbarbitleitung des Nachbarblocks zur Beschleunigung des Ladungsausgleichs der Bitleitung im betreffenden Block heranzuziehen.
10 Dabei werden die Bitleitungsschalter nur für kurze Zeit zu Beginn der Ladungsausgleichsphase durch ein Steuersignal eingeschalten und die beiden Bitleitungspaare von rechts und links während dieser kurzen Zeit miteinander verbunden. Dadurch
15 wird die Prechargeperformance des gesamten DRAM-Halbleiterspeicherbausteins verbessert. Der Einsatz der Bitleitungsschalter ist nicht an bestimmte Twistkonzepte gebunden, sondern immer realisierbar, da nur die Bitleitungshälften von links und rechts direkt miteinander verbunden werden. Weiter-
20 hin stellen die Bitleitungsschalter kein Problem für das individuelle Reparieren von bitleitungsorientierten Redundanzelementen dar.

Die obigen und weitere vorteilhafte Merkmale werden im Folgenden anhand einer ein bevorzugtes Ausführungsbeispiel beschreibenden Beschreibung noch deutlicher, die sich auf die beiliegende Zeichnung bezieht.

Die Zeichnungsfiguren zeigen im Einzelnen:

30 Fig. 1A schematisch das eingangs bereits beschriebene Shared-SA-Organisationskonzept eines bekannten dynamischen RAM-Halbleiterspeichers;

35 Fig. 1B schematisch ein Detail der Fig. 1A mit einer Bitleitungsladungsausgleichseinheit;

Fig. 2A einen erfindungsgemäßen dynamischen RAM-Halbleiterspeicher ebenfalls im Shared-SA-Organisationskonzept;

5 Fig. 2B Einzelheiten des in Fig. 2A verwendeten BL-BL-Schalters 10;

Fig. 3A Spannungsverläufe in den Zellenblöcken insbesondere an den Bitleitungspaaren und

10

Fig. 3B Spannungsverläufe zur Verdeutlichung des Zusammenschlusses der bislang offenen Enden der Bitleitungspaare gemäß der vorliegenden Erfindung.

15 Wie zuvor erwähnt, liegt der Kern der Erfindung darin, dass mit Bitleitungsschalterpaaren die bis dahin offenen Enden von Bitleitungspaaren von zwei benachbarten Zellenblöcken kurzzeitig zu Beginn der Ladungsausgleichsphase für ein betreffendes Bitleitungspaar verbunden werden, wobei diese Enden
20 der zwei Bitleitungspaare, die mit einem derartigen Bitleitungsschalterpaar verbunden werden, nicht an Senseverstärker gelegt sind. Fig. 2A, die schematisch ebenfalls eine Shared-SA-Organisationsstruktur zeigt, wie sie bereits dem bekannten dynamischen RAM-Halbleiterspeicher gemäß Fig. 1A zugrunde
25 lag, zeigt, dass die BL-BL-Schalter 10 in den SA-Streifen 0, 1, 2 zwischen je zwei benachbarten Senseverstärkern SA angeordnet sind.

Eine Prinzipschaltung eines BL-BL-Schalters 10 ist in Fig. 2B
30 gezeigt. Der Bitleitungsschalter 10 weist gemäß Fig. 2B einen ersten FET-Transistor T1 und einen zweiten gleichartigen FET-Transistor T2, die die beiden True-Bitleitungen BLT1 und BLT2 einerseits und die beiden komplementären Bitleitungen BLC1 und BLC2 andererseits jeweils eines Bitleitungspaares 1 (zum
35 Beispiel von einem Zellenblock 1) und eines Bitleitungspaares 2 (z. B. von einem Zellenblock 2) verbinden. Das heißt, dass

nicht BLT1 mit BLC1 bzw. BLT2 mit BLC2 verbunden wird sondern BLT1 mit BLT2 und BLC1 mit BLC2 jeweils des linken BL-Paars 1 und des rechten BL-Paars 2.

5 Es ist zu bemerken, dass zur Vereinfachung in Fig. 2A weder Wortleitungen in den Zellenblöcken 1 und 2 noch Ladungsausgleichssignalleitungen in den Senseverstärkerstreifen eingezeichnet sind. Das Steuersignal wird dem in Fig. 2B gezeigten Bitleitungsschalter 10 zu Beginn einer Bitleitungsladungsausgleichsphase, für z. B. das Bitleitungspaar 1, das heißt für
10 BLT1 und BLC1 angelegt, um die Prechargezeit für diese Bitleitungen zu verkürzen.

Fig. 3A zeigt in gestrichelten Linien die zeitliche Lage des
15 dem Bitleitungsschalter 10 zugeführten Steuersignals das mit BL-BL-Schalter 10 bezeichnet ist. Es ist deutlich, dass dieses Steuersignal unmittelbar zu Beginn der Bitleitungsladungsausgleichsphase oder BL-EQL-Phase liegt. Dieses Steuersignal kann somit in einfacher Weise durch eine logische
20 Verknüpfung der Bedingungen für die BL-EQL-Phase der betreffenden Bitleitungen (z.B. BLT1 und BLC1) mit den Bedingungen für die Ladungsausgleichsphase für die Bitleitungspaare zweier benachbarter Zellenblöcke erzeugt werden. Durch die Verbindung der bis dahin offenen Bitleitungsenden durch das mit dem Steuersignal gleichzeitig angesteuerte BL-BL-Schalterpaar
25 10 wird die stabil auf dem Mittenpegel liegende Nachbarbitleitung zum Beispiel des Blocks 2 zur Beschleunigung der Entladekurve der dann kurzgeschlossenen Bitleitungshälften im Block 1 herangezogen. Dadurch werden die Ladungen auf dem nun
30 kurzgeschlossenen Bitleitungspaar BLT1 und BLC1 schneller verteilt und, wie die gestrichelte Kurve in Fig. 3B zeigt, die Prechargezeit deutlich verkürzt. Selbstverständlich ist die oben beschriebene und in den Fig. 2A und 2B veranschaulichte erfindungsgemäße Schalterstruktur der BL-BL-Schalter
35 in sämtlichen SA-Streifen zwischen allen Blöcken des Zellen-

feldes vorgesehen, so dass sich die Prechargeperformance des ganzen Chips verbessert.

Patentansprüche

1. Dynamischer RAM-Halbleiterspeicher mit Shared-SA-Organisationskonzept, bei dem die Zellenfelder in Blöcke (1, 2)
5 unterteilt sind, deren Bitleitungen (BLT, BLC) paarweise von jeweils zwei benachbarten Blöcken (1, 2) an einen gemeinsamen Senseverstärker (SA) angeschlossen und die Senseverstärker (SA) zwischen den Zellenblöcken (1, 2) angeordnet sind,
d a d u r c h g e k e n n z e i c h n e t ,
10 dass Bitleitungsschalter (10) in zwischen den Blöcken liegenden Senseverstärkerstreifen zwischen je zwei benachbarten Senseverstärkern (SA) angeordnet sind, um die mit den Senseverstärkern (SA) nicht verbundenen anderen Enden zweier Bitleitungspaare (BLT, BLC) von den benachbarten Zellenblö-
15 cken (1, 2) kurzzeitig während einer am Anfang einer Ladungsausgleichsphase stattfindenden Prechargephase eines unmittelbar zuvor aktivierten Bitleitungspaares zu verbinden.

2. Dynamischer RAM-Halbleiterspeicher nach Anspruch 1,
20 d a d u r c h g e k e n n z e i c h n e t ,
dass in den Blöcken (1, 2) der Zellenfelder eine Vielzahl von die Bitleitungen im Wesentlichen senkrecht schneidenden und die Zellen eines Blocks aktivierenden Wortleitungen verlaufen.

25 3. Dynamischer RAM-Halbleiterspeicher nach Anspruch 1 oder 2,
d a d u r c h g e k e n n z e i c h n e t ,
dass zusätzlich Ladungsausgleichseinheiten (5) jeweils für jedes Bitleitungspaar (BLT, BLC) im Senseverstärkerstreifen
30 rechts und links jedes Senseverstärkers (SA) angeordnet sind, um die beiden Hälften eines Bitleitungspaares (BLT, BLC) unmittelbar nach einer Aktivierung des Blocks dem das Bitleitungspaar (BLT, BLC) zugehört, für einen Ladungsausgleich der beiden während der aktiven Phase dieses Blocks gespreizten
35 Bitleitungshälften (BLT, BLC) kurzschlussen.

4. Dynamischer RAM-Halbleiterspeicher nach einem der vorangehenden Ansprüche,

d a d u r c h g e k e n n z e i c h n e t ,
dass zum Schließen jedes Bitleitungsschalters (10) demselben
5 ein kurzzeitiges Steuersignal zugeführt wird, welches durch
eine logische Verknüpfung der Ladungsausgleichszustände von
diesem und wenigstens dem benachbarten Zellenblock erzeugt
wird.

10 5. Verfahren zum Betrieb eines dynamischen RAM-Halbleiter-
speichers mit Shared-SA-Organisationskonzept, bei dem die
Zellenfelder in Blöcke (1, 2) unterteilt sind, deren Bitlei-
tungen (BLT, BLC) paarweise von jeweils zwei benachbarten
Blöcken (1, 2) an einen gemeinsamen Senseverstärker (SA)
15 angeschlossen und die Senseverstärker (SA) zwischen den Zel-
lenblöcken (1, 2) angeordnet sind,
d a d u r c h g e k e n n z e i c h n e t ,
dass die zuvor offenen anderen Enden derjenigen Bitleitungs-
paare (BLT, BLC), die an die in zwei benachbarten Sensever-
20 stärkerstreifen liegenden Senseverstärker angeschlossen sind,
kurzzeitig während einer am Anfang einer Ladungsausgleichs-
phase stattfindenden Prechargephase für das betreffende Bit-
leitungspaar zusammengeschaltet werden und dadurch die Pre-
chargezeit für das betreffende Bitleitungspaar verkürzt wird.

25 6. Verfahren nach Anspruch 5,
d a d u r c h g e k e n n z e i c h n e t ,
dass die kurzzeitige Zusammenschaltung der beiden benachbar-
ten Bitleitungspare durch ein Steuersignal aktiviert wird,
30 welches durch eine logische Verknüpfung der Ladungsaus-
gleichszustände des betreffenden Blocks und eines benachbar-
ten Blocks zu Beginn der Ladungsausgleichsphase des betref-
fenden Zellenblocks erzeugt und einem zwischen den beiden zu
verbindenden Bitleitungspaaren angeordneten Bitleitungsschal-
35 terpaar zugeführt wird.

Zusammenfassung

Dynamischer RAM-Halbleiterspeicher und Verfahren zum Betrieb desselben

5

10

15

20

Die Erfindung betrifft einen dynamischen RAM-Halbleiterspeicher mit Shared-SA-Organisationskonzept, bei dem die Zellenfelder in Blöcke (1, 2) unterteilt sind, deren Bitleitungen (BLT, BLC) paarweise von jeweils zwei benachbarten Blöcken (1, 2) an einen gemeinsamen Senseverstärker (SA) angeschlossen und die Senseverstärker (SA) zwischen den Zellenblöcken (1, 2) angeordnet sind, wobei Bitleitungsschalter (10) in zwischen den Blöcken liegenden Senseverstärkerstreifen zwischen je zwei benachbarten Senseverstärkern (SA) angeordnet sind, um die mit den Senseverstärkern (SA) nicht verbundenen anderen Enden zweier Bitleitungspaare (BLT, BLC) von den benachbarten Zellenblöcken (1, 2) kurzzeitig während einer am Anfang einer Ladungsausgleichsphase stattfindenden Prechargephase eines unmittelbar zuvor aktivierten Bitleitungspaars zu verbinden.

(Fig. 2A)

Bezugszeichenliste

1, 2	Zellenblöcke
3, 4	Transistoren der Ladungsausgleichseinheit
5	Ladungsausgleichseinheit
BLT, BLC	Bitleitung True, Bitleitung Komplementär
WL	Wortleitung
T1, T2	Transistoren des Bitleitungsschalters 10.
X	Zeilenrichtung
Y	Spaltenrichtung
BL-EQL-Phase	Bitleitungsladungsausgleichsphase
VBleq	Mittenspannung
VB1h	hohe Bitleitungsspannung
10	BL-BL-Schalter

FIG 1A

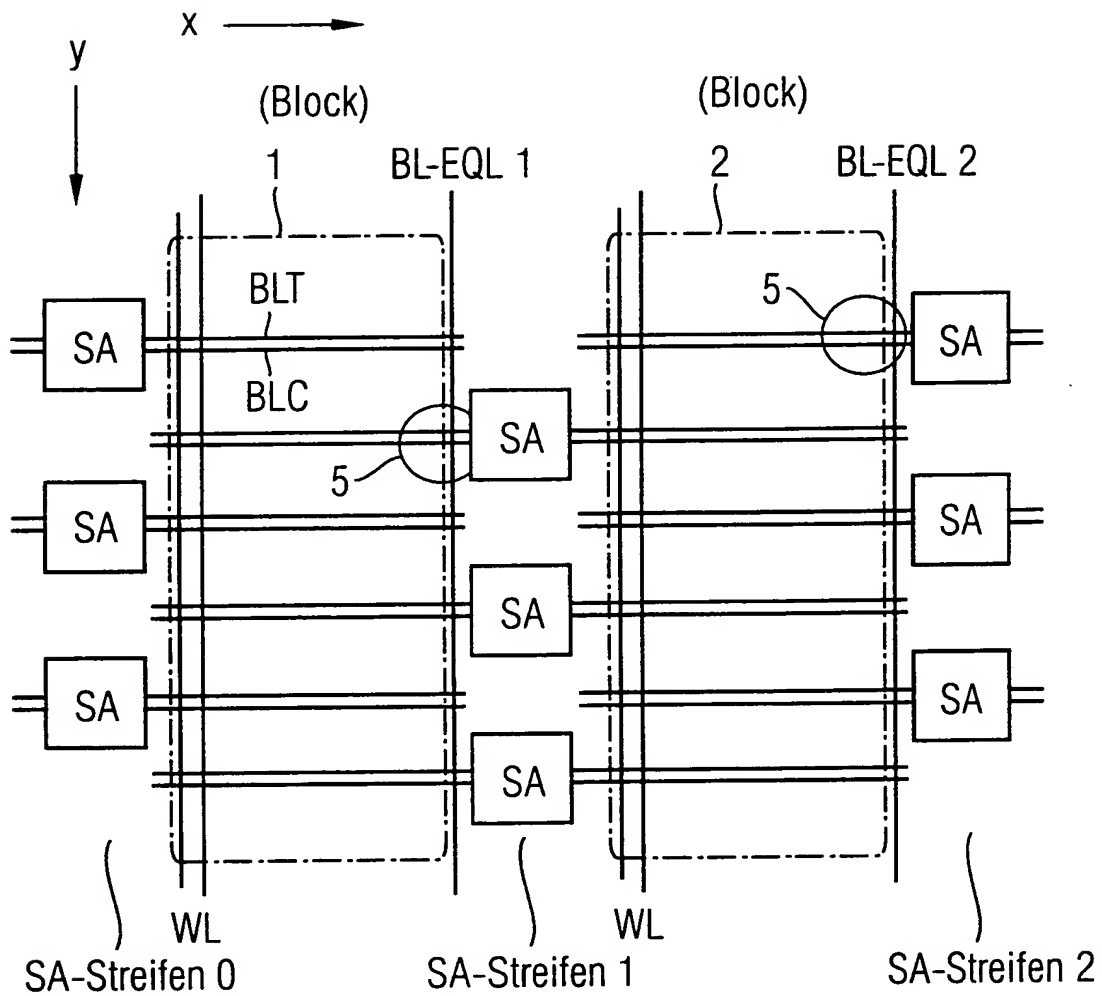


FIG 1B

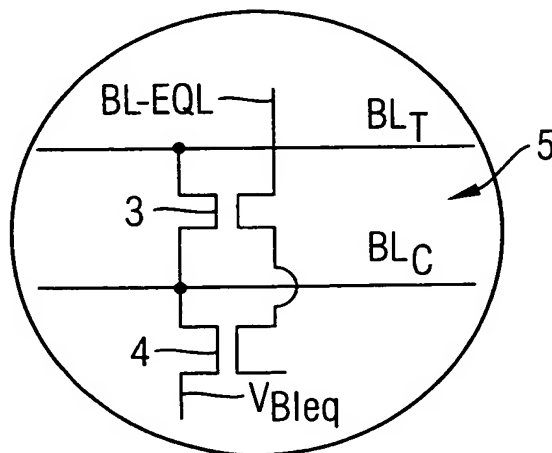


FIG 2A

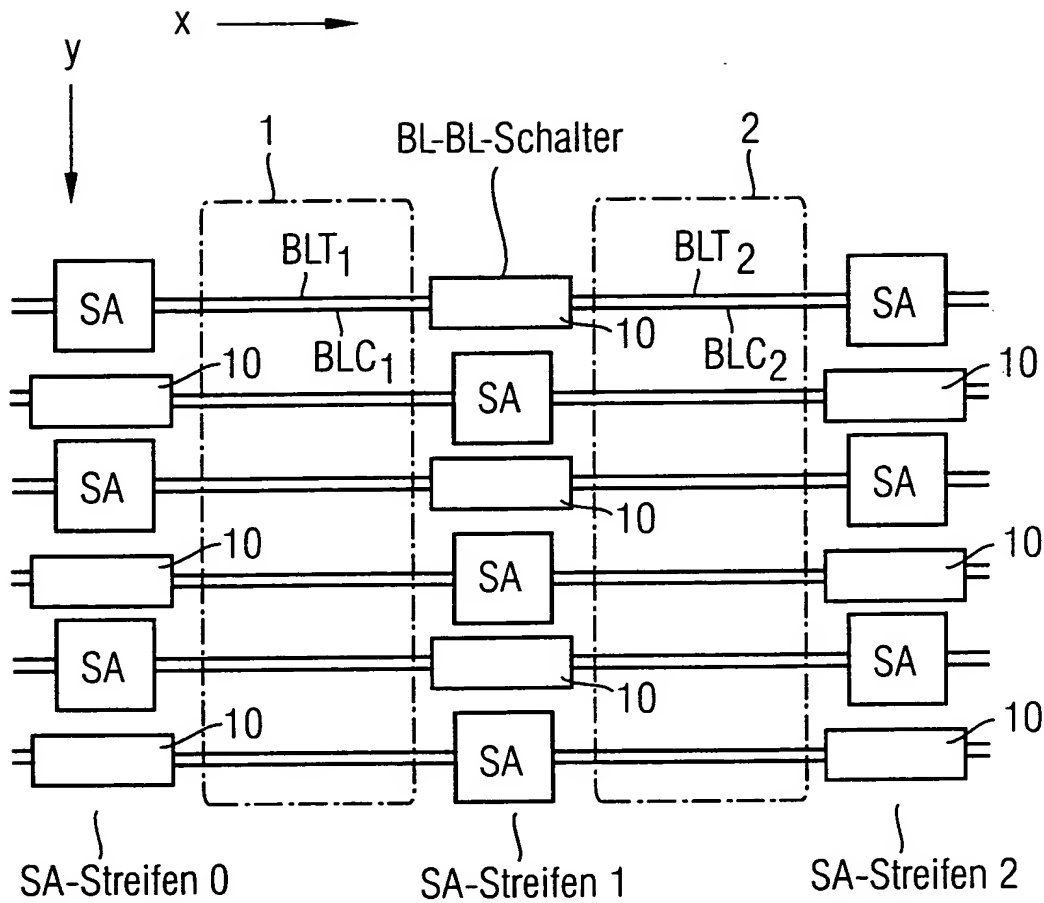


FIG 2B

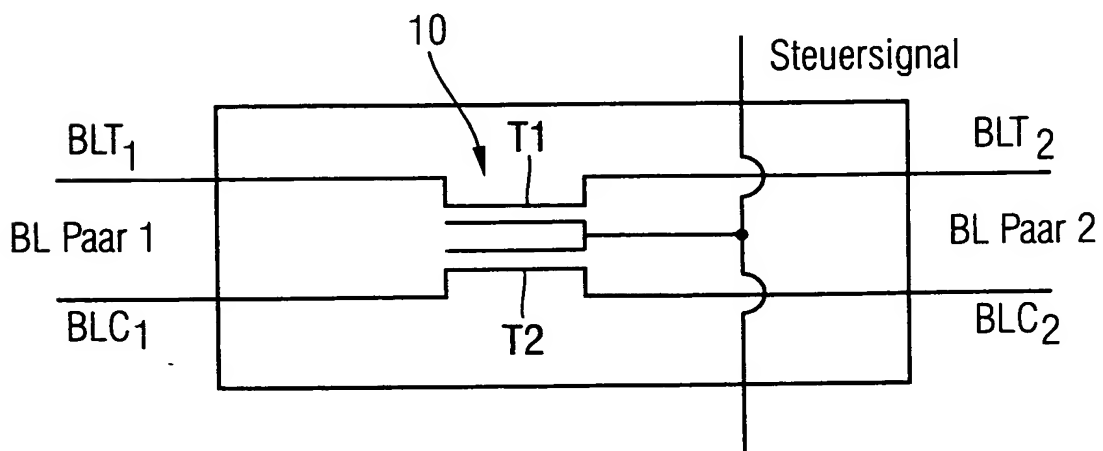


FIG 3A

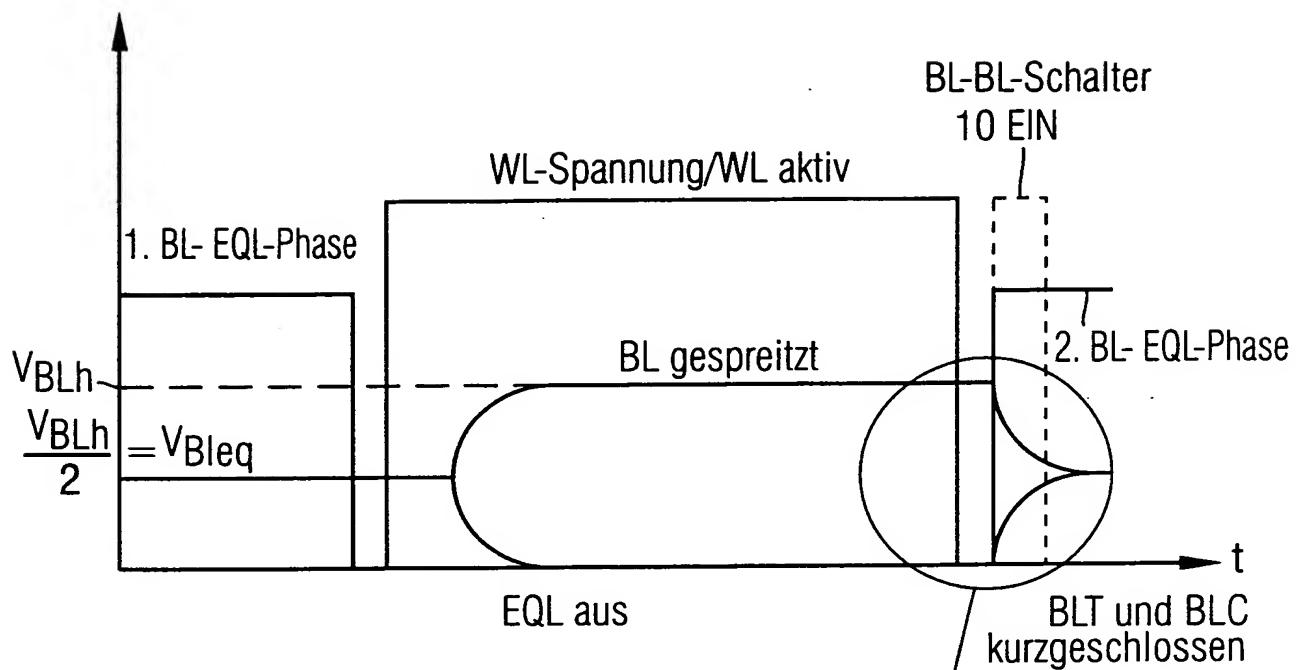
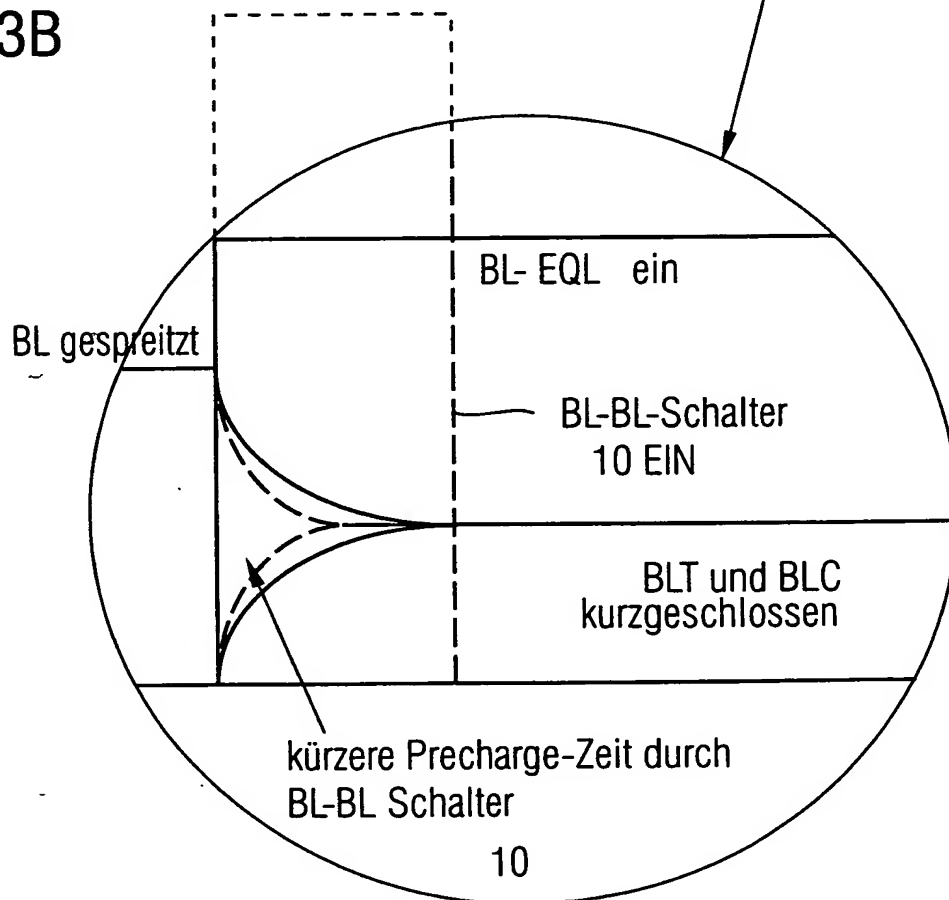


FIG 3B



Figur für die Zusammenfassung

FIG 2A

